# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

06-342598

(43) Date of publication of application: 13.12.1994

(51)Int.CI.

G11C 16/06 H01L 27/115

(21)Application number: 06-066108

(71)Applicant: TOSHIBA CORP

(22)Date of filing:

04.04.1994

(72)Inventor: TAURA TADAYUKI

(30)Priority

Priority number: 05 80651

Priority date: 07.04.1993

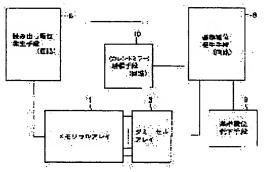
Priority country: JP

### (54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To prevent increase in a chip area and to speed up a reading operation while changing from a standby condition to an operating condition by eliminating an equalizing circuit and providing a reference potential lowering means.

CONSTITUTION: Memory cells, which consist of nonvolatile transistors, are arranged in a matrix form in a memory cell array 1 and the dummy cell of a dummy cell array 3 has a transistor construction. A reading potential generating means 6 applies a prescribed potential to a selected memory cell and generates a reading potential corresponding to the data stored in the memory cell based on the current that flows in the memory cell. A reference potential generating means 8 applies a prescribed potential to the dummy cell of the dummy cell array 3 and generates a reference potential based on the current which flows in the dummy cell. A reference potential lowering means 9 lowers the reference potential for a constant duration when a prescribed time



is elapsed after a standby condition is changed to an operating condition. An amplifying means 10 compares the reading out potential with the reference potential, amplifies the output which corresponds to the result of the comparison and outputs the signal.

## **LEGAL STATUS**

[Date of request for examination]

11.06.1997

[Date of sending the examiner's decision of

17.04.2001

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] [Date of registration] [Number of appeal against examiner's decision of rejection] [Date of requesting appeal against examiner's decision of rejection] [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

噩

特開平6-342598

(11)特許出顧公開番号

€ 辍 4

特許

(E2)

(19)日本国格許庁 (JP)

(43)公開日 平成6年(1994)12月13日

技術表示箇所			X0 520 C	0 434
			12/	/12
т -			G11C 17/00	H01L
庁内整理番号			6741-5L	7210-4M
政別記号				
	90/91	21/12		
51)Int.CL.	G11C 16/06	H01T		

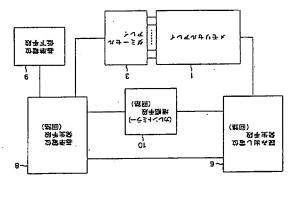
(全18頁) 審査請求 未請求 請求項の数8 OL

(21)出開番号	特國平6-66108	(71) 出風人 000003078	000003078
			株式会社東芝
日期(172)	平成6年(1994)4月4日		神奈川県川崎市幸区堀川町72番地
		(72) 発明者	(72)発明者 田 浦 忠 行
(31)優先権主盟森号	<b>特顯平5-80651</b>		种奈川県川崎市幸区堀川町580番1号 株
(32)優先日	平5 (1933) 4 月 7 日		式会社東芝半導体システム技術センター内
(33)優先格主張国	日本 (JP)	(74)代理人	(74)代理人 弁理士 佐藤 一雄 (外3名)

# 不揮発性半導体記憶装置 (54) [発明の名称]

こ、珍徴状態から動作状態に変化した場合の説み川しを 【川的】 チップ面積の増大を可及的に防止するととも **気速を行うことを可能にする。** 

基づいて基準和的企業生する基準的位差生手段8と、特 ルに所定の相位を与え、このグミーセルに流れる相流に と、説み川し電位と基準電位とを比較し、その比較結果 に応じた川力を増幅して川力する増幅手段10と、を頒 えている。 基準電位低下手段9に代えて、又はこれに加 えて、待機状態から動作状態に変化してから所定時間経 **尚するまでの間に読み川し電位を急速に光電する読み川** 【構成】 不抑発性トランジスタからなるメモリセルが **予列状に配列されたメモリセルアレイと、トランジスタ 構造をもつダミーセルと、選択されたメモリセルに所定** の電位を与え、このメモリセルに流れる電流に基づいて メモリセルに記憶されているデータに対応する説み川し 電位を発生させる読み出し電位発生手段6と、ダミーセ **徴状態から動作状態に変化してから所定時間経過した時** に基準租位を一定時間低下させる基準租位低下手段9



[特許請求の範囲]

【脳泉項1】不仰発性トランジスタからなるメモリセル が行列状に配列されたメモリセルアレイと、

トランジスタ構造をもつダミーセルと、

セルに流れる電流に基づいて前配メモリセルに記憶され ているデータに対応する説み川し電位を発生する説み川 選択されたメモリセルに所定の租位を与え、このメモリ し租位発生手段と、

前記ダミーセルに所定の相位を与え、このダミーセルに 流れる電流に基づいて基準電位を発生する基準電位発生

け経過するまでの間に前記基準亀位を低下させる基準亀 特徴状態から動作状態に変化してから第1の所定時間だ 位低下手段と

経過した後に、前記読み川し电位と前記場準電位を比較 **や機状態から動作状態に変化してから第2の所定時間が** 

し、その比較結果に応じた出力を増幅して出力する増幅

を備えていることを特徴とする不揮発性半導体記憶装

列されたダミーセルアレイを行することを特徴とする間 の各行様に散けられる不揮発性トランジスタが列状に配 【精氷項2】前記ダミーセルは、前記メモリセルアレイ 東項1に記載の不何発性半項体記憶装置。

[請求項3] 前記増幅手段は、前記特機状態から動作状 館に変化してから所定時間経過後、更に所定時間耗過後 に動作状態になることを特徴とする静氷項1に記載の不 们発性半導体記憶装置。

[請求項4] 不抑発性トランジスタからなるメモリセル が行列状に配列されたメモリセルアレイと、

トランジスタ構造を持つダミーセルと、

セルに流れる租流に基づいて前記メモリセルに記憶され **選択されたメモリセルに所定の電位を与え、このメモリ** ているデータに対応する説み川し難位を発生する説み川 し電位発生手段と

流れる電流に払づいて基準相位を発生する基準単位発生 前記ダミーセルに所定の電位を与え、このダミーセルに

過するまでの間に前記説み川し租位を急速に充電する説 **や破状態から動作状態に変化してから第1の所信時間種** み川し館位初期充電手段と、

し、その比較結果に応じた川力を増幅して川力する増幅 **特徴状態から動作状態に変化してから第2の所定時間が** 経過した後、前記読み出し電位と前記基準電位を比較

を備えていることを特徴とする不仰発性半導体記憶装

【讃求項5】前記メモリセルアレイと、 ダミーセルと

説み出し電位発生手段と、

し程位初期充電手段1.1を設けても良い。

3

华阴平06-342598

読み川し電位初期充電手段と

を複数個備え、選択された前記メモリーセルアレイに対 よした前記各手段のみが動作状態となることを特徴とす る部状項4に配成の不抑発性半導体記憶装置。 (請求項6) 前記増幅手段は、前記待機状態から動作状 **態に変化してから所定時間経過後、更に所定時間経過後** に動作状態になることを特徴とする語求項4に記載の不 何兖性半導体記憶裝圖。

【結氷項7】 不削発性トランジスタからなるメモリセル が行列状に配列されたメモリセルアレイと、

セルに流れる租前に基づいて前記メモリセルに記憶され ているデータに対応する説み川し電位を発生する説み川 選択されたメモリセルに所定の電位を与え、このメモリ トランジスタ格造を持つダミーセルと、

前記ダミーセルに所定の君位を与え、このダミーセルに 流れる電流に基づいて基準相位を発生する基準電位発生 し電位発生手段と、 手段と、 特徴状態から動作状態に変化してから第1の所定時間経 過するまでの間に前記装準電位を低下させる基準電位低 **特徴状態から動作状態に変化してから第1の所定時間経** 

過するまでの間に前記読み出し租位を急速に光電する説 み川し租位初期充租手段と、

**移機状態から動作状態に変化してから類2の所定時間が** し、その比較結果に応じた川力を増幅して川力する増幅 経過した後、前記説み用し、電位と前記基準電位を比較

を聞えていることを特徴とする不何発性半導体記憶装

手段と、

【翻来項8】前記第1の所定時間と前記第2の所定時間 とが同一であることを特徴とする結果項1、結束項3 お よび語求項の何れかに記載の不仰発性半導体記憶装置。 [発明の詳細な説明]

[0001]

【廃業上の利用分野】本発明はデータの消去、事き込み を行うことのできる不揮発性半導体制億装置に関する。 [0002]

[従来の技術] 紫外松照射によりデータを消去し、亀気 的にデータの掛き込みを行う、いわゆるUV-EPRO y Nemory)、または、電気的にデータの消法、背き込み を行なうEEPROM (Electrically Erasable and Pr ngrammable Read Only Memory ) においては、データの M (Ultraviolet-Erasable and Programmable Read Onl 説み川し時にセンス増幅回路において、セルデータの

S (必要に応じて各々、VSI、VSOと呼ぶ) と、基準電 位 (VR と呼ぶ) との比較判断結果により、"1"もし "1"もしくは、"0"に対応した読み川し程位V

₹

くは"0"データが脱み川される。

パターン平面図を図14 (a) に示し、図14 (a) に のメモリセルとして使用される不僅発性トランジスタの 【0003】和気的にデータの消法を行うEEPROM ドす∧-∧′ 数で切断した断面図を図14 (b) に示 [0004] このトランジスタは、2層の多結晶シリコ ン構造で形成され、第1層目の多結晶シリコン層により 5 はドレイン、27 はシリコン基板、22 はコンタクト 夕数であり、コンタクトホール22を通して、ドレイン 25に接続されている。このような構造のメモリセルに おけるデータの铅き込み、読み川し及び消去動作を以下 摩遊ゲート21が構成され、第2番目の多結品シリコン 倒により周卸ゲート23が構成されている。また、図1 ホール、28はアルミニウム(ハ1)で形成されたデー 4 (a) 及び図14 (b) において、24はソース、

**れず、紀位データが"1" (消去状態) ではソース、ド** 【0005】 貰き込み動作は、ドレイン相位を8V、制 **御ゲート電位を12V、ソース電圧を0Vにそれぞれ設** 淀し、浮遊ゲートにホット・エレクトロン(hot electr 初錚ゲート粗位を5V、ドレイン相位を1V、ソース相 仏を0Vにそれぞれ散定することにより行われる。この 娘)ではソース、ドレイン間にはセル亀流がほとんど流 とき、メモリセルの記位データが"0" (沿き込み状 on)を沈入することにより行われる。 読み出し動作は、 レイン間に、100ヶΛ程度のセル电流が流れる。

モリセルアレイ1と、このメモリセルアレイ1の列方向 に1列に複数開散けられたメモリセルと同一の構造を有 説出しの際に選択されたメモリセルに所定の程位を印加 所定のドレイン租位を供給すると共に、データ説み出し 時の基準電位を発生させる基準電位発生回路8と、前記 **某事電位発生回路8より供給される前記基準配位とを比** アンプを含む従来の不何発性半導体配位装置の全体構成 は、多数のメモリセルがマトリックス状に配置されたメ するダミーセルより成るダミーセルアレイ3と、データ すると火に選択されたメモリセルのセル租液に応じた説 **一夕説み旧しの際に選択された ダミーセルのドレインに** 説み出し及び基準報的発生回路6及び8の対応するノー ドをイコライズするイコライズ回路7と、追침説み出し 電位発生回路 6 より供給される前記読み川し電位と前記 **致して選択されたメモリセルのデータに応じた租位をIII** 【0006】削去動作は、制御ゲート観位を0V、ドレ ば12Vを印加する。このとき、浮遊ゲート中のエレク 【0007】このような不抑発性メモリセル及びセンス を図15を用いて説明する。図15において、記憶装置 イン電位をフローティングとし、ソースに高粗位、例え トロンは、トンネル効果によりソースに抜き取られる。 み用し種位を発生させる読み用し種位発生回路6と、

[0008] 読み出し電位発生回路6、装準電位発生回 路8、およびカレントミラー型増幅回路10は、従来の センスアンプを構成し、このセンスアンプは具体的には 例えば図16に示すように構成される。 [0009] 図16において、P1~P23はPチャネ を有するNチャネル型トランジスタである。同図におい て、説み川し亀位発生回路6は、直列に接続されたトラ **列に接続されたトランジスタP2, D2, 12と、トラ** 1との接続点に接続され、ソースはノードND」に接続 によりデータ"0"長時間読み川し時のデータ線の過光 接続され、ソースが読み川し電位発生回路6とメモリセ ルエンハンスメントトランジスタであり、D1~D12 はNチャネルディプレッショントランジスタであり、N 1~N24はNチャネルエンハンスメントトランジスタ であり、11~112は繋ボルト (A) 近辺のしきい値 ンジスタP1, D1, I1と、トランジスタN1と、直 ている。トランジスタア1, P2, P3のソースには駆 ランジスタ11の接続点に接続されている。又トランジ スタN2のドレインはトランジスタD2と12の接税点 に接続されている。トランジスタN3のドレインには緊 助電圧Vgcが印加され、ゲートはトランジスタD1と1 されている。トランジスタN4のドレインはノードND 和を助止する為に做小铝液を流している(例えば1 n.A 程度). トランジスタN5はドレインがノードND1 に ルアレイ1との間に設けられたトランスファゲートの一 端に接続され、データ読み川し時にのみオンする。 トラ ンジスタN6のドレインはノードND」に接続され、ト スに駆動電圧Vccが印加され、トランジスタP4のゲー "L"となる第1の制御信号SIが入力されている。ま と、直列に接続されたトランジスタP3,P4とを備え る。トランジスタD1のゲートはトランジスタD1とト スタNIのドレインはトランジスタD1とI1の接続点 に接続されている。トランジスタD2のゲートはトラン ジスタD2と12の接続点に接続されている。 トランジ | に接続され、ゲートに供給されるリーク制御信号SQL ランジスタN8のドレインはノードNDg に接続されて ードND」に接続されている。トランジスタP3のソー いる。このノードND2はトランジスタN7を介してノ 助電JEVCCが作加され、トランジスタN1, N2, N 4. N6. N8, 11, 12のソースは接地されてい ンジスタN2, N3, N4, N5, N6, N7, N8 K, F5>37AP1, P2, P3, N1, N2, N トおよびドレインはノードNDg に依続されている。 6、 およびN 8 の名ゲートにはデータ説み出し時に

**ジスタP1,D1,11からなる値列回路およびトラン** た、トランジスタN5のゲートには、第3の制御信号\* [0010]上記読み出し電位発生回路6内の、トラン S3が供給される。

ジスタP 2, D 2, 1 2からなる祖列回路ならびにトラ

**り回路 (図示されず) に返出するカレントミラー型増幅** 

ンジスタN3,N7は、メモリセルのドレイン電位を最 適な値、例えば1Vとなるように保ち、選択されたメモ リセルのデータに応じた説み川し電位VS をノードND トランジスタP4はノードNDg の負荷トランジスタと 2からカレントミラー増幅回路10に送出する。なお、 して一定電流を供給する。

ず、前記ノードNDg にはトランジスタP 3 およびP 4 を介して例えば3Vの電位が光程される。又、選択され たメモリセルのデータが"1"の場合メモリセルには1 00μA程度のセル租債が流れるため、ノードND2の **幣位∇SAI は負荷トランジスタP4と選択されたメモリ** る。メモリセルアレイ1の選択されたメモリセルのデー [0011] ここで読み川し粕位VS について説明す タが"0"レベルの場合、メモリセルには電流が流れ セルとの分圧比により例えばIV程度となる。

[0012] 一方、基準租位発生回路8は、前記裁み川 nたトランジスタP11, D11, 1111と、トランジ する。また、前記トランジスタN15のゲートには、第 し電位発生回路6のコピー回路であって、値列に接続さ 4, N15, N16, N17, N18と、直列に接続さ れたトランジスタP13,P14とを悩えている。 すな わち、基準租位発生回路8の例えばトランジスタP11 は、説み旧し電位発生回路6のトランジスタP1に対応 D12, 1122, F52375N12, N13, N1 スタN11と、直列に接続されたトランジスタP12, 4の制御信号 \* S4 が供給される。

ジスタN17, N15を介してダミーデータ殺D1.R に 接続されている。又、グミーセルDC1~DCmは消去 状態のセルであるため、説み川し時には100μA程度 のセル程流が流れる。この時の基準電位VR は負荷トラ 1 Jにデータ"0"が記憶されている時の読み川し電位 Vs と、データ"1"が記憶されている時の読み出し相 位VSとの中間相位となるようにする必要がある。この 【0013】この基準租位発生回路8はトランジスタN 15およびダミーデータ枞DLg を介してダミーセルに 接続され、トランジスタP.1.1, D.1.1, P.1 2, D12, I12, N13, N17により上記ダミー セルのドレイン電位を所定の電位に保つ。 又、トランジ 給する。この基準電位VR がIII力されるND4 はトラン ンジスタP14と選択されたダミーセルとの電流比とな る値となる。一方この基準単位VR は、メモリセルCA ため、基準電位発生回路8の負荷トランジスタP14は 読み用し電位発生回路6の対応するトランジスタP4よ りも粕流品の多いトランジスタとする。

2 2のゲートは読み川し電位VS が川力されるノードN [0014] カレントミラー型増幅回路10は、トラン 37.49.21. P.22. P.23. N.22. N.23.24. る遊動増幅対と、トランジスタN24と、インバータ1 V1, IV2, IV3 とを有している。トランジスタP

にダミーデータ紋DLR も初期充電される。上述したよ

る。 X、インバータ1 V 1, 1 V 2, 1 V 3 は底列に接 D2 に接続され、トランジスタP23のゲートは基準電 位Vp が川力されるノードND4 に接続されている。ト ランジスタN24のドレインはトランジスタP22およ びN22のドレインに接続され、ソースは接地されてい 説され、トランジスタP22及びN22の接続点の電位 を反転して川力回路に送川する。 したがって、説み川し 電位Vs および場準電位Vg は、上記差動対のトランジ スタP22およびP23に各々供給され、その値の大小 により川力DB が川力回路12に送川される。この川力 DB は、"0"データが説み出される場合には"1"と なり、"1" データが読み出される場合には"0"とな [0015] なお、ノードND1 とノードND3 はトラ KND4 HF ランジスタP 2 0 およびN 2 1 からなるト ランスファゲートによって接続されており、これらのト コライズ回路7は、トランジスタN20より成りノード ND」とノードND3とをイコライズする第1のイコラ イズ部と、トランジスタN21, P20より成りノード ND2 とノードND4 とをイコライズする第2のイコラ ンジスタN 2 0 によって接続され、ノードN D<sub>2</sub> とノー ランジスタがイコライズ回路?を構成している。このイ イズ部と、を悩えている。

8のゲートに与えられ、各ノードND1, ND2, ND 第2の信号の反転信号\*S $_2$ は"H"レベルになってお は、通常、説み川しを行っていない待機状態の時は、消 費亀力を抑えるために、特機時に"H"となる第1の外 部制御信号S」が、読み出し電位発生回路6のトランジ スタN1,N2,N6,N8のゲートおよび基準相位発 生回路8のトランジスタN11, N12, N16, N1 3. ND4 を接地する。この時、カレントミラー型増幅 回路10のトランジスタP21, N24のゲートおよび トランジスタN20, N21のゲートに与えられている り、トランジスタP20のゲートに与えられる第2の副 【0016】又、このような半導体記憶装置において 御信号S2 は"し"レベルとなっている。

れ、読み川し電位VS のレベルは低レベルとなる。同様 が"II"から"し"に変化することにより説み川し亀 位発生回路 6 および基準用位発生回路 8 は動作状態とな 路にデータDg が川力される。又ワードラインの電位W [0017] 特機状態から説み出し状態に選移した場合 の各倍与\*CE, SI, WL, \*S2, D0, VS, V R の変化を図17に示す。図17において外部からのチ ップイネーブル信号 \* C E を受けて、第1の制御信号S り、カレントミラー哲語回路10より図示しない出力回 り、この間正常な説み川しができない。一方、選択され たデータ粒には、トランジスタP4からドレイン租位が しはメモリセルの容量により立ち上がりに時間がかか メモリセルのデータに依らず光電されるので電流が流

9

**うにトランジスタP4の租油品はトランジスタP14の** ノードND3 のレベルが各々等しくなるように (イコラ 2 が"し"から"11"になった所でカレントミラー型的 それに比べて少ないため、基準電位側に比べてメモリセ **ル朗の充電に時間を要することになる。メモリセル側の** に、倡母S2 を"し"から"日"にすることによりノー ドND2 とノードND4 のレベルおよびノードND1 と イズ)して、初期充電を早めている。その後、信号\*S 福回路10を駆動し、セルデータを出力することにより 後、一定時間経過した後借身\*S2 を"日"から"L" 光和時間を早くするために、信号S」が"し"に変化 気み川しの高速化を行っている。 【発明が解決しようとする課題】このような従来の不何 **危性半導体制位装置においては、チップイネーブル信号** \*CEを "H" から "L" に変化させた時に "O" 説み を行った場合、データ数への初期充電が不光分な時に信 ~(2 の間) . このため、"1" 読みから"0" 説みと いう動作となり、読み出しが違くなるという問題があっ 租位 VR のレベルが反転してしまう(図17の時刻11  $eta * S_2$  ,  $S_2$  が変化すると、読み川し相位 $V_3$ と基準

[0018]

8のノードND』をイコライズしている。このため読み 出し電位発生回路6が複数関散けられている場合は、こ 3 が必要となり、チップ面積が増大するという問題があ 【0019】又、初期説み出しを早くするために、説み れと同数の基準電位発生回路8およびダミーセルアレイ 用し電放発生回路6のノードND2と基準電位発生回路

[0020] 本発明は上記事情を考慮してなされたもの に、特徴状態から動作状態に変化した場合の説み川しを 高速に行うことのできる不抑発性半導体記憶装置を提供 であって、チップ面積の増大を可及的に防止するととも することを目的とする。

[0021]

【標題を解決するための手段】第1の発明による不抑発 モリセルが行列状に配列されたメモリセルアレイと、ト ランジスタ構造をもつダミーセルと、選択されたメモリ セルに所定の電位を与え、このメモリセルに流れる電流 に基づいてメモリセルに記憶されているデータに対応す る説み川し電位を発生する説み川し電位発生手段と、ダ ミーセルに所定の電位を与え、このグミーセルに流れる 生半異体記憶装置は、不僅発性トランジスタからなるメ 用流に基づいて基準組を発生する基準組織を発生手段

較し、その比較結果に応じた用力を増幅して用力する増 と、特徴状態から動作状態に変化してから第1の所定時 問経過した時に基準相位を一定時間低下させる基準報位 低下手段と、特徴状態から動作状態に変化してから第2 の所定時間が経過した後、読み川し租位と基準租位を比 幅手段と、を個えていることを特徴とする。

[0022] 第2の発明による不何発性半導体記憶装置 は、不仰発性トランジスタからなるメモリセルが行列状 こ配列されたメモリセルアレイと、メモリセルアレイの 各行庫に設けられる不仰発性トランジスタからなるダミ ーセルが列状に配列されたダミーセルアレイと、選択さ れたメモリセルに所定の電位を与え、このメモリセルに 流れる租油に払づいてメモリセルに記憶されているデー タに対応する読み用し電位を発生する読み出し電位発生 ルに流れる程流に基づいて基準組合を発生する基準組位 手段と、ダミーセルに所定の租位を与え、このダミーセ 発生手段と、待機状態から動作状態に変化してから第1 の所定時間経過した時に読み出し報位を一定時間上昇

した後、説み旧し租位と基準租位を比較して、その比較 (急速光程) させる読み用し租位初期光電手段と、特機 状塩から動作状態に変化してから第2の所定時間が経過 結果に応じた出力を増幅して川力する増幅手段と、を順 えていることを特徴とする。

[0023]

てから所定時間経過した時に、基準租位が一定時間基準 充電による説み出しの遅れを可及的に小さくすることが 【作用】このように構成された第1の発明の不開発性半 単体記憶装置によれば、記憶装置が特徴状態から動作し **略位低下手段によって低下させられる。これにより初期** できる。又、従来の場合と異なり読み出し程位側と基準 電位側とをイコライズしないため、基準電位発生手段を 複数の読み川し電位発生手段が共有することが可能とな り、チップ価積を可及的に小さくすることができる。

できる。また、従来の場合と異なり読み出し程位側と基 [0024]このように構成された第2の発明の不抑発 性半算体記位装置によれば、記位装置が待機状態から助 作状態に変化してから所定時間経過した時に、基準租位 低下手段により基準電位を一定時間だけ低下させる。あ 間説み川して上昇(急速光電)させる。これにより初期 光亀による説み出しの遅れを可及的に小さくすることが **単電位側とをイコライズしないため、基準電発生手段を** るいは、現位初期充電手段により読み川し程位を一定時 複数の説み出し電位発生手段が共有することが可能とな り、チップ価値を可及的に小さくすることができる。

[0025]

【実施例】以下、この発明による不抑発性半導体記憶装 **閩(以下、記憶装置ともいう)の好適な実施例について** 図1ないし図13を参照して詳細に説明する。

[0026]まず、図1ないし図4を参照してこの発明 1 災施例に係る記憶装置は、図15に示される従来の記 レイ3、説み川し電位発生回路6、基準電位発生回路8 基準程位低下手段(回路)9を設けたものである。その 及びカレントミラー型増幅回路10は、図15の従来の の第1実施例に係る記憶装置について説明する。この第 **垃装因のプロック図において、イコライズ回路を削除し** 他の構成、すなわちメモリセルアレイ1. ダミーセルア

タP21およびN24のゲートに信号S5を付加したも 0のドレインは基準電位発生回路8のノードND3に接 定時間経過後に"L"となる信号 \* Sg が付加されてい 電位低下回路 9 は動作状態に変化後一定時間、 基準電位 0のトランジスタP21およびN24のゲートに与えら れる第3の制御信号S5 は、信号\*S2 が"L" に変化 FND3, およびノードND2 とノードND4 をイコラ 1, P20より成るイコライズ回路7を削除するととも ランジスタN30, N31からなる基準程位低下回路9 N30のソースに依続され、ソースは接地され、ゲート VR を低下させる。なお、カレントミラー型増幅回路 1 6 に示す従来の記憶装置において、ノードND」とノー を付加し、カレントミラー質増幅回路10のトランジス のである。この基準租位低下回路9のトランジスタN3 る。X、トランジスタN31のドレインはトランジスタ [0027] 図2に示す群却な回路図に従って具体的な に、直列に接続されたNチャネルエンハンスメント型ト 構成を説明すると、この第1実施例の記憶装置は、図1 イズするために設けられたトランジスタN20, N2 脱され、ゲートには記憶装置が動作状態になった後、 後、更に一定時間経過後に"し"となる倡号である。

ソース電位供給回路から川力される電位VA (消去時は す。図3において、メモリセルアレイ1はマトリックス 状に配列されたm・n 関のメモリセルCA11, …CA mnから構成されている。各メモリセルCAij (i= 1, …m, j=1, …n) は, 図14 (a), (b) に 示すようにソース、ドレイン、浮遊ゲート、および関御 ゲートから構成された不抑発性トランジスタである。そ して、同一行(例えばト行)に配置されたn間のメモリ セルCAk1, …CAknの制御ゲートはm本のワード 模WL 1, …WLmのうちの対応する1 水のワード模W しトに共通に接続される。又、同一列(例えば」列)に 配置されたm個のメモリセルCA1j、…CAmjのド レインはn 本のデータ級DL 1, …DL nのうちの対応 て、各メモリセルCAijのソースには図示しないセル 【0028】このような不揮発性トランジスタをメモリ セルとする不揮発性半導体配整装置の構成を図3に示 する1本のデータ級DLjに共通に接続される。そし 高電位、それ以外はVSS)が供給されている。

[0029] なお、上紀m本のワード線WL1, …WL mの選択は、ロウデコーダ2によって行われ、ロウアド レスに対応する1本のワード級が選択される。一方、n 本のデータ級Dし1, …Dしnの選択はカラムデコーダ 4によって行われる。このカラムデコーダ4はカラムア ドレスに対応する1本のデータ数の選択を、データ級D L J (j=1, …n) に接続されたトランスファゲート CTJを選択することによって行う。すなわち、カラム アドレスに対応するデータ級に接続されたトランスファ

川し竜位VS を発生する。この読み川し電位VS は、セ ルデータの値"1"、"0"にそれぞれ対応した入力电 DC1 (1=1, …m) はメモリセルCAijと同様の 不揮発性トランジスタであって、その制御ゲートは対応 **||川されている。ダミーデータ級DLR は基準電位発生** にダミーデータ級D.L.R を介して所定のドレイン電位を 供給するとともに、データ説み出し時の基準電位VRを 川力して増幅回路10に送川する。増幅回路10は装準 **基づいて、選択されたメモリセルのデータを外部に出力** るトランスファゲートCTjを介して説み出し電位発生 ランジスタからなるメモリセルでは1V)を印加すると ともに、選択されたメモリセルのセル電流に応じた説み セルDC1,…DCmからなっている。このダミーセル データ説み出しの際に選択されたダミーセルのドレイン モリセルのデータに応じた電位を出力回路12に送出す る。川力回路12は増幅回路10から送出される電位に ゲートのみをオンさせることによってデータ線が選択さ 回路6に接続されている。この説み川し電位発生回路6 [0030] 一方、ダミーセルアレイ3はm側のダミー するワード森WL i に接続され、そのドレインはダミー データ幕DLR に接続され、そのソースには程位Vgが **電位∇R と説み川し電位∇S とを比較し、選択されたメ** れる。又、各データ椒DL」(j=1, …n)は対応す はデータ説み信しの際には選択されたメモリセルのドレ インに所定の程位 (例えば図14 (a) (b) に示すト 回路8に接続されている。この法準報位発生回路8は、 立としてカレントミラー型増幅回路10に送られる。

る。その後メモリセルを選択するワード類WLが立ち上 よびノードND3の負荷トランジスタN13は各々、初 【0031】次に本第1実施例の勁作を図4を参照して 説明する。図4は本第1実施例の記憶装置が動作状態に なった場合の"0"説み時の動作被形図である。図4に の信号\*CEを記憶装置が受けると、配値装置を動作さ がる。この時、ノードND」の負債トランジスタN3お 期充電を開始する。また、この時の第2の傾倒信号\*S 2 は"H"レベルであり、基準電位VRのレベルは基準 おいて、信号\*CEは配位装置が動作状態になったこと を示す信号で、例えばチップイネーブル信号である。こ せる第1の制御信号S<sub>1</sub> が"H"から"L"に変化す 亀位低下回路9によって低下させられる。

52 を"11"から"し"に変化させると、基準相位低下 し相位 NS についてもデータ"O"を説み川す際のレベ [0032] 一方、メモリセル側においては、データ級 DLSを負荷トランジスタP4により光程する。光電が 基準電位∨k のレベルよりも高くなる。ここで、信号∗ 回路9のトランジスタN30がオフし、ダミーセルのセ ル電流により装準電位∨R の決定される。また、読み川 ルまで光電が続けられる。 基準電位VR のレベルと読み 進むと、電流量が減少し、読み出し電位VS は上昇し、

8

[0033]なお、信号\*S2が"II"の場合の初期光程時においては、基準程位VRのレベルを"I"デーを数み出し時の認み出し時に基値レベルよりも高く数定してもり、"I"データ説み出し時に基準組位VRと認み出し時にVSのレベルが反応することがないので、"I"データの謎み出しが述くなることもない。この時の基準程位VRのレベルは、基準程位度下回路9のトランジスタN3のによって決定される。

[0034]以上述べたように本第1災筋倒によれば、記憶校園が動作状態になった時の初期光程による読み出しの遅れを可及倒に小さくすることが可能となり、読み出しを活躍に行うことができる。また、イコライズする必要がないため、複数の読み出し程位発生回路が基準組役発生回路をま行することが可能となり、チップ面積を可及的にかさくすることができる。

【0035】なお上記戈施例においては、基準租位底下 回路3のトランジスタN30はNチャネルエンハンスメ ント型トランジスタを川いたがメモリセルCAijと同 じ型の不何発性トランジスタを川いることも可能であ 【0036】また、上記第1支施例においては、毎節信号\*S2と問題信号S5は別別の信号であったが、同一の信号であっても良い。

【0037】また、上記第1支施例においては、各ワード数WL 1に対応する複数のグミーセルDC 1を用いているが、これを1つのグミーセル(Nチャネルトランジスタでも不解発性トランジタでも良い)で作っても同様の効果が得られる。

[0038]次に、この発列の第2次施例に係る記憶投資について図5ないし図7に従い説列する。

(0039)この第2线施例に係る記憶装固は、対5のプロック対に示すように、図15に示される従来の記憶装置のプロック対において、イコライズ回路を開降し、減み川し電位制制を指揮を11を減み川し電位発生回路 6とカレントミラー型増幅回路10との間に送列に設けたものである。その他の構成、すなわちメモリセルアレイ1、ダミーセルアレイ3、減み川し電位流生回路6、場が電低流生回路8及ガカレントミラー資価幅回路10は、対15の従来の記憶装置と同様である。

[0040] 次に、図6に示す評価な回路図に従って具体的な協成を税切する。この第2次施例は、図16に示す従来の配位装置において、ノードND<sub>1</sub> とノードND 3、およびノードND<sub>2</sub> とノードND<sub>4</sub> をイコライズするために設けられたトランジスタN20、N21、P20を削除するとともに、成列に接続されたドチャンネルエンハンスメントトランジスタP30及びP31からなエンハンスメントトランジスタP30及びP31からな

 $\{0.0.4.1\}$  したがって、信号S<sub>2</sub> が"L"のときは、トランジスタP4、P31が認み出し程位の負荷トランジスタとなり、信号S<sub>2</sub> が"II"になると、トランジスタP4のみが負債トランジスタとなる。この時、負荷トランジスタP4、P31を合わせたトランジスタ・サイズは、基準程位 $V_R$  の負荷トランジスタP14と同等の租債員が、または、少ない租債員となるように設定される。なお、カレントミラー型均幅回路10のトランジスタP21およびN24のゲートに与えられる信号S<sub>2</sub> が"II"に変化した後、更に一定時間経過後に、"L"となる信号である。

時、ノードND」の負荷トランジスタN3およびノード 2 を "1." から "11" に変化させると、説み川し竜位初 と、読み川し亀位のレベルまでの充電が続けられる。そ [0042]次に本第2災施例の動作を図7を参照して なった場合の"0"読み時の動作故形図である。図7に せる信号S1が"川"から"し"に変化する。その後メ ND3の負荷トランジスタN13は各々、初期光程を開 始する。また、負債トランジスタP14により、ノード  $ND_4$  は、基準組位 $V_R$  に数定される。更に、負荷トラ ンジスタP4、P31により、ノードND2は、急速に 光電される。この時、説み出し電位は、データ線への初 期充電の為の租流が流れるので、基準電位 VR のレベル **タP4からのみの光亀となり、読み出し租位のレベルま** 説別する。図7は本第2支施例の記憶装置が動作状態に おいて、信号 \* CEは記憶装置が動作状態になったこと を示す信号で、例えばチップイネーブル信号である。こ **場準報位∨R のレベルよりも高くなる。ここで、信号S 期充電回路11のトランジスタP30がオフし、負荷ト** の信号\*CEを記位装置が受けると、記位装置を動作さ より当初は低くなるが、光亀が進むと電流量が減少して ランジスタP31からの光電はストップし、トランジス モリセルを選択するワード級WLが近ち上がる。この での充電が続けられる。そして基準電位VR のレベル

**窓が充分大きくなった後、信号S<sub>5</sub> は"H"から"L"に変化し、カレントミラー型的幅回路 1 0 が駆動されて、この均幅回路 1 0 から"O"読み時の出力 D<sub>0</sub>、ずなわち"H"が出力される。** 

 (0043)なお、"1"読み時には、読み用し电位を 有する負荷トランジスタP4、P31と、基準電位VR の負債トランジスタP14との電流比によって、読みII し電位が、基準電位VRより高くなることはなく、データ"1"の読み出しが遅くなることはなく、データ"1"の読み出しが遅くなることもない。

[0044]以上述べたように第2次施例によれば、記憶装置が動作状態になったときのデータ線への削削光電による認み出しの遅れを小さくすることが可能となり、データの読み出しを高速に行うことができる。また、イコライズする必要がないため場や電位発生回路8を複数の読み出し程位発生回路6で実行することが可能となり、チップ面積を非常に小さくすることが可能となり、チップ面積を非常に小さくすることができる。

[0045]次に、この発明の第3次節例に係る不停発 性半導体配位装置について、図8ないし図10を参照し つつ詳細に説明する。

[0050]図11ないし図13において、箔4ないし

[0046] 図8は、第3炎施例による記憶装置の腹略 構成を示すプロック図であり、同図において図15に示 す従来の記憶装置と異なる点は、基準電位発生回路8に 基準電位原下手段9を接続し、基み川し電位預集回路6 と時期回路10との間に設み川し電位初期充電手段11 が並列接続されている点である。したがって、この第3 実施例の記憶装置は第1災施例及び第2 実施例の記憶装 図の特徴を組合わせたものである。その他の構成、すな わちメモリセルアレイ1、ダミーセルアレイ3、競み川 し電位発生回路6、基準電位第注回路8及びカレントミ ラー型が範回路10は、図15の従来の記憶装置と略同 級の構成をある。

構成が図9に示されている。この第3実施例の記憶装置 の具体的な回路は、図9に示すように、前記第2災施例 供給されている。すなわち、信号\*S2 は記憶装置が動 作状態になった後、一定時間経過後に"し"となる信号 基準電位低下回路9は、記憶装置が動作状態に変化した [0047] この第3 実施例による記憶装置の具体的な の具体的な回路と比べ、ノードND3に直列に接続され たいチャネルエンハンスメントトランジスタN30、N 31から成る基準電位低下回路9を付加した構成となっ ている。この基準電位低下回路9のトランジスタN30 のドレインは基準電位発生回路8のノードND3 に接続 され、ゲートには、前記信号 $S_2$  の逆机の信号 $*S_2$  が である。X、トランジスタN31のドレインはトランジ スタN30のソースに接続され、ソースは接地され、ゲ ートには、駆動電JEVCCが付加されている。したがって 後一定時間にわたり、基準電位VRを低下させる。

[0051]

[0048]次に、この第3災筋例の動作を図10を参照して説明する。図10において、"0"レベルのデータを読み出す際の読み出し電位は前記第2災筋例と同様

して基準電位VRのレベルと、読み川し亀位のレベルの

に、記憶装置が動作状態になった後、一定時間が経過する  $(S_2 = "L")$ まで負荷トランジスタP4、P31により、急速光電される。また、この時、基準電位低下回路9により、 $*S_2 = "H"$ の間、基準電位 $V_R$ のレベルは低下させられているので、レベル"0"のデータを認み出り際の該分出し電位を基準電位 $V_R$ までより高速に、光電することが可能となる。

(0049)以上、第1ないし郊3 実施例までの3つの 実施例による記憶装置について説明したが、この記憶装 固は第1 実施例の図3に示すようなメモリセルアレイ1 及びダミーセルアレイ3がそれぞれ1つ設けられている ことを前提としていた。しかしながらこの説明はこれに 限定されず、メモリセルアレイ1及びダミーセル3を複 数別設けるようにしていもよい。すなわち、第1ないし 第3 実施例にそれぞれ対応する国籍を示す図11ないし 第3 実施例にそれぞれ対応する国籍を示す図11ないし

2 内の各回路は、特徴状態から動作状態に変わり、前記 のメモリーセルアレイ1、およびダミーセルアレイ3が によって状定される、メモリセクション例えばMSIM のカレントミラー型型格価回路10は、説み川し程位発 S<sub>I</sub> から、M S<sub>2</sub> に変わった場合には、セクションM S 複数個に分割された構成になっている。また、このセル アレイ1に対応する複数のローデコーダ2、カラムデコ 8、カレントミラー型増幅回路10、およびワード数W …, CTn から構成され、それぞれメモリセクションM セクション内の各回路は、例えば、セクションアドレス の回路のみが動作状態となる。この時、セクションMS を比較して、選択されたメモリセルの情報を共通データ バスDBC に川力する。また、この時、他のメモリセク ションMS2 は、特徴状態となっている。このためセク ションアドレスにより選択されたメモリセクションがM 第1ないし第3各実施例同様の動作を開始することによ 第6 实施例に係る不何発性半導体記憶装置は、前記図3 生回路6の出力Vgと、基準電位発生回路8の出力VR L1. WL2. トランスファーゲートCT1, CT2. SI、MS2を構成している。この様な記憶装置では、 一岁4、読み川し電位発生回路6、基準電位発生回路 り、高速な説み川しができることは明らかである。 (発明の効果)以上詳細に説明したように、この発明に 係る不僅近性半導体記位装置によれば、データ数への初 期光程が不治分な場合であっても、特徴状態から動作し て所定時間稀過するまでの間に、基仲電位が認み出し租 位よりも十分に低くなるように同程位を設定するように したので、基神程位発生回路を共行することができチッ プ余体の面積を可及的にかさくすることができると共に 記位装置が待機状態から動作状態に変化した場合の読み 出しを結進に行うことができる。

【図12】この発明の第5実施例による不揮発性半導体

【図1】この発明の第1実施例による不揮発性半導体記

[図画の簡単な説列]

【図2】第1実施例による不用発性半導体記憶装置の詳 意装置の概略構成を示すプロック図である。

【図15】従来の不相発性半導体記憶装置の概略構成を 【図3】第1実施例による不禅発供半導体記憶装置の具 御構成を示す回路関である。

体的な構成を示すプロック図である。

【図4】第1実施例による不揮発性半導体記憶装置の動 【図5】この発明の第2実施例による不抑発性半導体制 「を説明するためのタイミングチャートである。

【図6】第2支施例による不抑発性半導体記憶装置の群 **億装置の概略構成を示すプロック図である。** 

【図7】第2実施例の不抑発性半導体記位装置の動作を 間構成を示す回路図である。

【図8】この発明の第3実施例による不堪発性半導体記 6装置の概略構成を示すプロック図である。 説明するためのタイミングチャートである。

【図9】第3実施例による不揮発性半導体記憶装置の詳 明構成を示す回路図である。

【図10】第3実施例による不揮発性半導体記憶装置の 【図11】この第四の第4実施例による不何発信半算体 3)作を説明するためのタイミングチャートである。

記憶装置の具体的な構成を示すプロック図である。

(<u>N</u>

【図13】この発明の第6実施例による不揮発性半導体 [図14] 不揮発性トランジスタの構造の概略を説明す 記憶装置の具体的な構成を示すプロック図である。 記憶装置の具体的な構成を示すプロック図である。 る平価図及び使価図である。

【図16】従来の不仰発性半導体記憶装置の詳細な構成 示すブロック図である。

【図17】従来の不掃発性半導体記憶装置の動作を説明 するためのタイミングチャートである。 を示す回路図である。

(符号の説明)

メモリセルアレイ

ダミーセルアレイ

読み出し電位発生手段(回路)

基本电位第生手段 (回路)

基準電位低下手段 (回路)

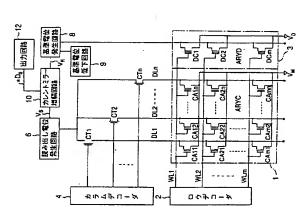
**(カレントミラー盟) 増幅手段 (回路)** 0

CAij (1=1, ..., m, j=1, ...n) x = y = 1.1 読み出し電位初期充電手段(回路)

DCi (i=1, ..., m) ダミーセル

[図14]

(K)



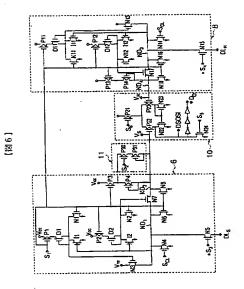
ē æ 基準單位低下手段 ダミーセル アレイ セフントミリー 経合手段 (2) (0) メモリセルアレイ 親み出し電位 発生手段 (回路)

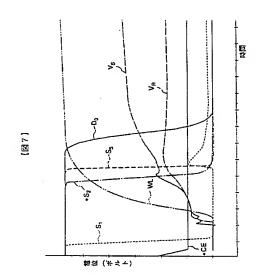
特開平06-342598

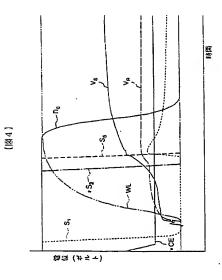
S

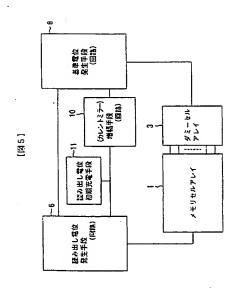
9

[図2]

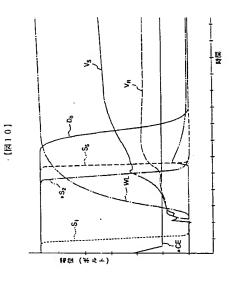


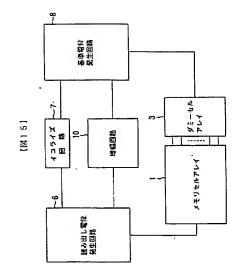






[图8]







表写句位 在下手段

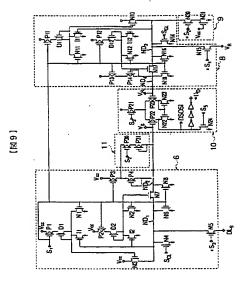
メモリセルアレイ

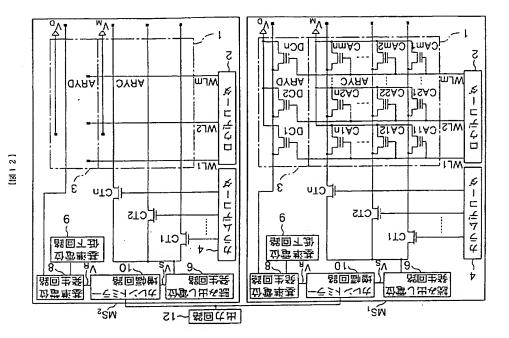
本 名 子 (回路)

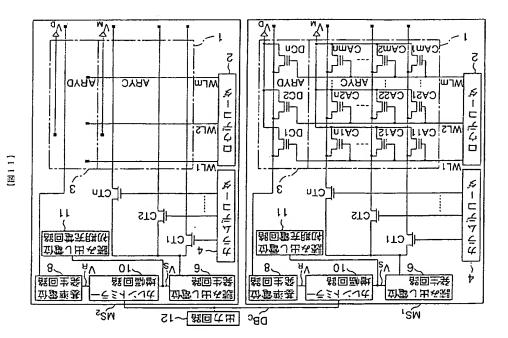
> 読み出し信位 初期充電手段

スタ出し事位 発生子段 (回路)

(回路)







[図16]

